

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

A3

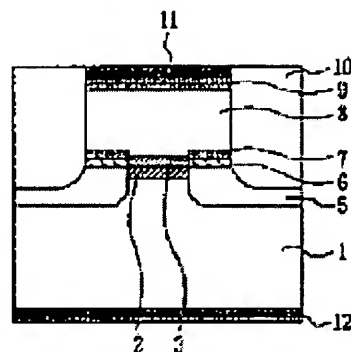
**SEMICONDUCTOR OPTICAL MODULATOR AND SEMICONDUCTOR LASER
DEVICE INTEGRATED THEREWITH**

Patent number: JP10206808
Publication date: 1998-08-07
Inventor: OSHIBA SAEKO; NAKAMURA KOJI; YAMAUCHI YOSHINORI
Applicant: OKI ELECTRIC IND CO LTD
Classification:
- international: G02F1/025; H01S3/18
- european:
Application number: JP19970009936 19970123
Priority number(s):

Abstract of JP10206808

PROBLEM TO BE SOLVED: To provide a semiconductor optical modulator which is capable of high speed modulation and has an Fe dope InP-buried layer buried into a mesa side face and a semiconductor laser device integrated therewith.

SOLUTION: The semiconductor optical modulator, which has the Fe dope high resistance-buried layer 5 buried into the mesa side face, is constituted of an n-type InGaAsP light absorbing layer 2 formed on an n-type InP substrate 1, a p-type InP-buried layer 3 in contact with this light absorbing layer 2 and having a low impurity concentration of $p \leq 1 \times 10^{17} \text{ cm}^{-3}$, a p-type InP clad layer 8 in contact with this buried layer 3 and having a high impurity concentration of $\geq 4 \times 10^{17} \text{ cm}^{-3}$ and the lower side of an electrode pad, which are of a structure buried with a polyimide film 10.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-206808

(43) 公開日 平成10年(1998) 8月7日

(51) Int.Cl.⁶

識別記号

F I

G 0 2 F 1/025

G 0 2 F 1/025

H 0 1 S 3/18

H 0 1 S 3/18

審査請求 未請求 請求項の数4 O L (全 5 頁)

(21) 出願番号 特願平9-9936

(22) 出願日 平成9年(1997) 1月23日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 大柴 小枝子

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72) 発明者 中村 幸治

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72) 発明者 山内 義則

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

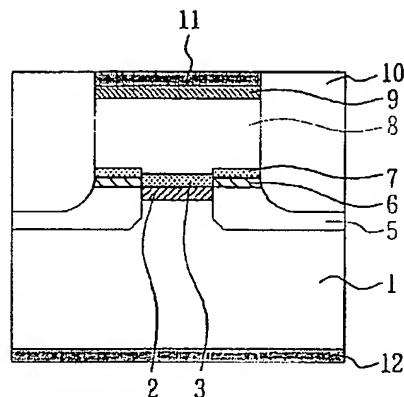
(74) 代理人 弁理士 清水 守 (外1名)

(54) 【発明の名称】 半導体光変調器及びそれが集積された半導体レーザ装置

(57) 【要約】

【課題】 高速変調が可能な、メサ側面をF e ドープ I n P 埋め込み層で埋め込んだ半導体光変調器及びそれが集積された半導体レーザ装置を提供する。

【解決手段】 メサ側面をF e ドープ高抵抗埋め込み層5で埋め込んだ半導体光変調器において、n型I n P基板1上に形成されるアンドープI n G a A s P光吸収層2と、この光吸収層2に接して $p = 1 \times 10^{17} \text{ cm}^{-3}$ 以下の低濃度の不純物濃度のp型I n P埋め込み層3と、この埋め込み層3に接して $4 \times 10^{17} \text{ cm}^{-3}$ 以上の高濃度の不純物濃度のp型I n Pクラッド層8と、メサ側面の電極パッドの下をポリイミド膜10の埋め込み構造とする。



- 1 : n型I n P基板
- 2 : アンドープI n G a A s P光吸収層
- 3, 7 : p型I n P埋め込み層
- 5 : F e ドープ高抵抗I n P層
- 6 : n型I n P埋め込み層
- 8 : p型I n Pクラッド層
- 9 : p型I n G a A s Pコンタクト層
- 10 : 絶縁膜、特にポリイミド膜
- 11 : p側電極
- 12 : n側電極

【特許請求の範囲】

【請求項1】 メサ側面をF eドープ高抵抗埋め込み層で埋め込んだ半導体光変調器において、(a) n型化合物半導体基板上に形成される光吸収層と、(b) 該光吸収層に接して $1 \times 10^{17} \text{ cm}^{-3}$ 以下の低濃度の不純物濃度のp型埋め込み層を有することを特徴とする半導体光変調器。

【請求項2】 メサ側面をF eドープ高抵抗埋め込み層で埋め込んだ半導体光変調器において、(a) n型化合物半導体基板上に形成される光吸収層と、(b) 該光吸収層に接して $1 \times 10^{17} \text{ cm}^{-3}$ 以下の低濃度の不純物濃度のp型埋め込み層と、(c) 該p型埋め込み層に接して $4 \times 10^{17} \text{ cm}^{-3}$ 以上の高濃度の不純物濃度のp型クラッド層とを有することを特徴とする半導体光変調器。

【請求項3】 メサ側面をF eドープ高抵抗埋め込み層で埋め込んだ半導体光変調器において、(a) n型化合物半導体基板上に形成される光吸収層と、(b) 該光吸収層に接して $1 \times 10^{17} \text{ cm}^{-3}$ 以下の低濃度の不純物濃度のp型埋め込み層と、(c) 該p型埋め込み層に接して $4 \times 10^{17} \text{ cm}^{-3}$ 以上の高濃度の不純物濃度のp型クラッド層と、(d) メサ側面の電極パッドの下を絶縁膜の埋め込み構造とすることを特徴とする半導体光変調器。

【請求項4】 メサ側面をF eドープ高抵抗埋め込み層で埋め込んだ半導体光変調器を有する半導体レーザ装置において、(a) n型化合物半導体基板上に形成される光吸収層と該光吸収層に接して $1 \times 10^{17} \text{ cm}^{-3}$ 以下の低濃度の不純物濃度のp型埋め込み層を有する半導体光変調器と、(b) 該半導体光変調器の光吸収層に接続される活性層を有する半導体レーザを一体的に集積することを特徴とする半導体レーザ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体光変調装置に係り、特にF eドープの高抵抗(率)埋め込み層を有するIII-V族化合物半導体光変調器及びそれが集積された半導体レーザ装置に関する。

【0002】

【従来の技術】光通信技術の発展と共に、さらに高速大容量光通信システムが望まれている。このため、高速変調可能な半導体光変調器が要求されている。このような要請に応じるためには、付随容量の低減や消光効率の向上が望まれている。従来、このような分野の技術としては、例えば、既に本願の発明者等によって特願平7-190032号として提案されているものがある。

【0003】それによれば、図7に示すように、光吸収層を有するメサ側面をF eドープ高抵抗埋め込み層で埋め込んだ半導体光変調器において、前記F eドープInP高抵抗埋め込み層44上に形成される $1 \times 10^{18} \text{ cm}^{-3}$ 以上の高濃度の不純物濃度のn型InP埋め込み層4

5と、このn型InP埋め込み層45上に形成される $1 \times 10^{17} \text{ cm}^{-3}$ 以下の低濃度の不純物濃度のp型InP埋め込み層46と、光吸収層42及びp型InP埋め込み層46上に形成される $4 \times 10^{17} \text{ cm}^{-3}$ 以上の高濃度の不純物濃度のp型InPクラッド層43とを設けるようにしている。

【0004】なお、41はn型InP基板、47はp型InGaAsPコンタクト層、48はp側電極、49はn側電極、50はARコートである。

【0005】

【発明が解決しようとする課題】一般に、従来の技術によるF eドープInP高抵抗埋め込み層におけるF eの量は、例えば、成長温度600度では約 $6 \times 10^{16} \text{ cm}^{-3}$ 付近で飽和し、飽和値以上にF eを導入しても、電気的には活性化せず、必ずしも十分な高抵抗を有する領域を得ることができない。

【0006】そこで、上記文献に示された構造の半導体光変調器によって、逆バイアス印加時にF eドープInP高抵抗埋め込み層44を介する濡れ電流を防ぎ、良好な消光特性を得ることができる。しかしながら、素子容量もF eドープInP高抵抗埋め込み層の抵抗率や厚みに依存することから、十分な高抵抗率が得られないと素子容量が低減されず、高速変調ができないという問題点があった。

【0007】本発明は、上記問題点を除去し、高速変調が可能な、メサ側面をF eドープ高抵抗埋め込み層で埋め込んだ半導体光変調器及びそれが集積された半導体レーザ装置を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明は、上記目的を達成するために、

〔1〕メサ側面をF eドープ高抵抗埋め込み層で埋め込んだ半導体光変調器において、n型化合物半導体基板上に形成される光吸収層と、この光吸収層に接して $1 \times 10^{17} \text{ cm}^{-3}$ 以下の低濃度の不純物濃度のp型埋め込み層を設けるようにしたものである。

【0009】〔2〕メサ側面をF eドープ高抵抗埋め込み層で埋め込んだ半導体光変調器において、n型化合物半導体基板上に形成される光吸収層と、この光吸収層に接して $1 \times 10^{17} \text{ cm}^{-3}$ 以下の低濃度の不純物濃度のp型埋め込み層と、このp型埋め込み層に接して $4 \times 10^{17} \text{ cm}^{-3}$ 以上の高濃度の不純物濃度のp型クラッド層とを設けるようにしたものである。

【0010】〔3〕メサ側面をF eドープ高抵抗埋め込み層で埋め込んだ半導体光変調器において、n型化合物半導体基板上に形成される光吸収層と、この光吸収層に接して $1 \times 10^{17} \text{ cm}^{-3}$ 以下の低濃度の不純物濃度のp型埋め込み層と、このp型埋め込み層に接して $4 \times 10^{17} \text{ cm}^{-3}$ 以上の高濃度の不純物濃度のp型クラッド層と、メサ側面の電極パッドの下を絶縁膜の埋め込み構造

とするようにしたものである。

【0011】(4)メサ側面をFeドーブ高抵抗埋め込み層で埋め込んだ半導体光変調器を有する半導体レーザ装置において、n型化合物半導体基板上に形成される光吸収層と、この光吸収層に接して $1 \times 10^{17} \text{ cm}^{-3}$ 以下の低濃度の不純物濃度のp型埋め込み層を有する半導体光変調器と、この半導体光変調器の光吸収層に接続される活性層を有する半導体レーザを一体的に集積するようにしたものである。

【0012】

【発明の実施の形態】以下、本発明の実施例を図面を参照しながら説明する。図1は本発明の第1実施例を示す半導体光変調器の断面図、図2はその半導体光変調器の平面図、図3はその半導体光変調器の側面図である。これらの図に示すように、この半導体光変調器は、例えば、波長 $1.5 \mu\text{m}$ の入射光を変調するためのものである。n型InP基板1上にバンドギャップ波長 $1.45 \mu\text{m}$ 、厚さ約 $0.2 \mu\text{m}$ のアンダーInGaAsP光吸収層2が形成され、その上に不純物濃度 $p = 1 \times 10^{17} \text{ cm}^{-3}$ 、厚さ約 $0.1 \mu\text{m}$ のp型InP埋め込み層3がエピタキシャルに形成される。

【0013】これらの積層は、基板までメサエッチングされ、メサ側面をFeドーブ高抵抗InP層5、続いて不純物濃度 $n = 5 \times 10^{18} \text{ cm}^{-3}$ 、厚さ約 $0.3 \mu\text{m}$ のn型InP埋め込み層6と、不純物濃度 $p = 1 \times 10^{17} \text{ cm}^{-3}$ 、厚さ約 $0.1 \mu\text{m}$ のp型InP埋め込み層7がエピタキシャルに形成されている。次に、全体に不純物濃度 $p = 5 \times 10^{17} \text{ cm}^{-3}$ 、厚さ約 $1.5 \mu\text{m}$ のp型InPクラッド層8が形成される。さらに、バンドギャップ波長 $1.3 \mu\text{m}$ 、不純物濃度 $p = 5 \times 10^{18} \text{ cm}^{-3}$ 、厚さ約 $0.2 \mu\text{m}$ のp型InGaAsPコンタクト層9が形成される。

【0014】次に、これらの積層は、吸収領域を含む幅 $10 \sim 15 \mu\text{m}$ 、高さ $2 \sim 3 \mu\text{m}$ のメサにエッチングされ、その両脇を SiO_2 などの絶縁膜、特にポリイミド膜10によって埋め込む。また、p側表面にはボンディング電極パッドの部分はポリイミド膜10の上に形成されるp側電極11を形成する。また、基板裏面上にn側電極12を形成し、両端面に膜厚が約 2000 \AA の Al_2O_3 膜(屈折率 ~ 1.75)等で形成されるARコート13が施され、半導体光変調器が構成される。

【0015】以下、この半導体光変調器の動作について説明する。p側電極11とn側電極12の間に、逆バイアス電圧を印加すると、印加電圧に応じてアンダーInGaAsP光吸収層2の吸収係数が増加する。この吸収係数の増加現象は、Franz-Keldysh効果と呼ばれるものによる。アンダーInGaAsP光吸収層2に、MQW構造を用いた場合にも、量子閉じ込めシュタルク効果によって同様の吸収係数の増加が見られる。

【0016】この時、アンダーInGaAsP光吸収層2に接するp型InP埋め込み層3の不純物濃度が低いと、空乏層の幅が広がり素子容量を減少させることができる。ここで、p型InP埋め込み層3の不純物濃度を下げることは、素子のシリーズ抵抗値の増加に寄与することから、p型InPクラッド層8の不純物濃度を下げることは適切ではない。また、半導体光変調器と半導体レーザ素子との集積化光源においては、p型InPクラッド層8を共有することから、良好なレーザ特性を得るためには、p型InPクラッド層8の不純物濃度を高くする必要があり、その場合には本発明の構造が適していると考えられる。

【0017】図4に本発明の第1実施例を示す半導体光変調器のp側電極の形状を変えた場合の素子容量と埋め込み層の厚みの計算結果を示す。この図において、素子長さ $200 \mu\text{m}$ で、曲線aは全面電極、曲線bは $10 \mu\text{m}$ 幅のメサ形状、曲線cは $10 \mu\text{m}$ 幅のメサ形状+電極パッドのそれぞれの場合を示し、横軸はFe-InP層の厚み $d (\mu\text{m})$ 、縦軸は素子容量 $C (\text{pF})$ を示している。計算式は下記のように示すことができる。

【0018】素子容量 $C = (\epsilon A_1 + \rho \tau A_2) / d$

ここで、 A_1 : パッドの面積

A_2 : メサ幅×素子長

ρ : Feドーブ高抵抗層の抵抗率

τ : キャリア寿命 $\sim 3 \times 10^{-7}$

d : Feドーブ高抵抗層の厚み

ϵ : Feドーブ高抵抗層の誘電率

なお、参考文献: Cheng et al., Appl. Phys. Lett. 51(22), 30 1987を参照することができる。

【0019】図4から分かるように、メサ形状及びパッド電極構造にすることによって、素子容量を 1 pF 以下に抑えることができる。このように、第1実施例によれば、メサ側面をFeドーブ高抵抗InP埋め込み層で埋め込んだ光変調器の埋め込み構造に、光吸収層に接して低不純物濃度のp型InP埋め込み層を形成し、また、メサ構造で、パッド電極部の下を絶縁膜、特に、ポリイミド膜10で埋めたことによって、素子容量を減少させ、高速変調特性を得ることができる。

【0020】次に、本発明の第2実施例について説明する。図5は本発明の第2実施例を示す半導体光変調器集積化DFBレーザの半導体光変調器部の断面図、図6はその半導体光変調器集積化DFBレーザの全体断面図である。これらの図に示すように、n型InP基板21上にバンドギャップ波長 $1.45 \mu\text{m}$ 、厚さ約 $0.2 \mu\text{m}$ のアンダーInGaAsP光吸収層22と不純物濃度 $p = 1 \times 10^{17} \text{ cm}^{-3}$ 、厚さ約 $0.1 \mu\text{m}$ のp型InP埋め込み層23、バンドギャップ波長 $1.55 \mu\text{m}$ 、厚さ約 $0.2 \mu\text{m}$ のアンダーInGaAsP活性層24と、不純物濃度 $p = 5 \times 10^{17} \text{ cm}^{-3}$ 、厚さ約 $0.1 \mu\text{m}$

mのp型InP埋め込み層25が形成される。

【0021】また、アンドープInGaAsP活性層24の上には、グレーティング26が形成されている。これらの積層は、基板21までメサエッチングされ、メサ側面をFeドープ高抵抗InP層27、つづいて不純物濃度 $n=5 \times 10^{18} \text{ cm}^{-3}$ 、厚さ約0.3 μm のn型InP埋め込み層28と、不純物濃度 $p=1 \times 10^{17} \text{ cm}^{-3}$ 、厚さ約0.5 μm のp型InP埋め込み層29がエピタキシャルに形成されている。

【0022】次に、全体に不純物濃度 $p=5 \times 10^{17} \text{ cm}^{-3}$ 、厚さ1.5 μm のp型InPクラッド層30が形成される。さらに、バンドギャップ波長1.3 μm 、不純物濃度 $p=5 \times 10^{18} \text{ cm}^{-3}$ 、厚さ約0.2 μm のp型InGaAsPコンタクト層31が形成されている。上記アンドープInGaAsP活性層24及び光吸収層22を含むメサ形状にした後、絶縁膜、特にポリイミド膜32等によって埋め込まれた表面上には、電極パッド形状の変調器領域p側電極33とレーザ領域p側電極34が形成され、基板21裏面上にn側電極35を形成し、変調器側の端面に、膜厚が約2000Åの Al_2O_3 膜（屈折率 ~ 1.75 ）等で形成されるARコート（図示なし）が施され、半導体光変調器集積化DFBレーザが構成される。

【0023】なお、第1実施例で説明したものとの違いは、変調器にレーザ素子が集積化されている点である。以下、このような半導体光変調器集積化DFBレーザの動作について説明する。まず、レーザ領域p側電極34とn側電極35との間に、順方向電圧を印加すると、アンドープInGaAsP活性層24に正孔及び電子が注入され、レーザ発振が起こる。

【0024】このときグレーティング26によって波長が選択され、DFBレーザを発振する。光変調器領域の動作については第1実施例で説明したものと同様である。なお、本発明はさらに以下のような利用形態を有することができる。上記では、n型InP基板上にメサストライプを形成し、ストライプ側面をFeドープのInPで埋め込む場合を例にとって説明したが、Feをドーピングすることによって、高抵抗領域を形成することのできる同一結晶構造の AlInAs 及び GaInP においても、同様の構造により同様の効果が得られるものと考えられる。

【0025】また、実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。たとえ

ば、メサ側面を高抵抗埋め込み層で埋め込むものであれば、変調器の構成や光吸収層のバンドギャップ波長等は任意である。なお、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づいて種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

【0026】

【発明の効果】以上、詳細に説明したように、本発明によれば、素子容量を減少させ、高速変調特性を得ることができる半導体光変調器及びそれが集積された半導体レーザ装置を得ることができる。

【図面の簡単な説明】

【図1】本発明の第1実施例を示す半導体光変調器の断面図である。

【図2】本発明の第1実施例を示す半導体光変調器の平面図である。

【図3】本発明の第1実施例を示す半導体光変調器の側面図である。

【図4】本発明の第1実施例を示す半導体光変調器のp側電極の形状を変えた場合の素子容量と埋め込み層の厚みの計算結果を示す図である。

【図5】本発明の第2実施例を示す半導体光変調器集積化DFBレーザの半導体光変調器部の断面図である。

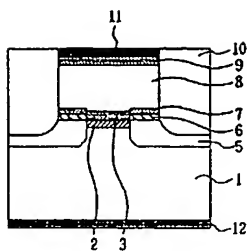
【図6】本発明の第2実施例を示す半導体光変調器集積化DFBレーザの全体断面図である。

【図7】先行した半導体光変調装置の構成図である。

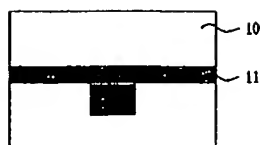
【符号の説明】

- 1, 21 n型InP基板
- 2, 22 アンドープInGaAsP光吸収層
- 3, 7, 23, 25, 29 p型InP埋め込み層
- 5, 27 Feドープ高抵抗InP層
- 6, 28 n型InP埋め込み層
- 8, 30 p型InPクラッド層
- 9, 31 p型InGaAsPコンタクト層
- 10, 32 絶縁膜、特にポリイミド膜
- 11 p側電極
- 12, 35 n側電極
- 13 ARコート
- 24 アンドープInGaAsP活性層
- 26 グレーティング
- 33 変調器領域p側電極
- 34 レーザ領域p側電極

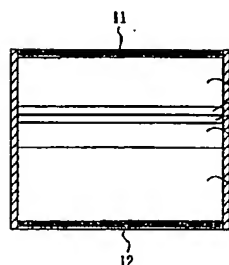
【図1】



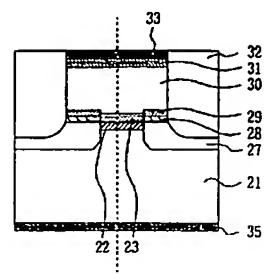
【図2】



【図3】

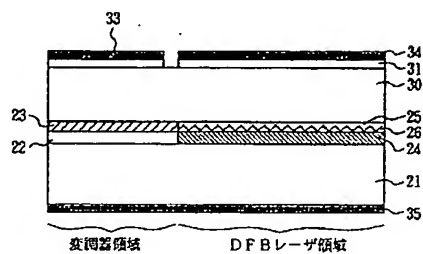


【図5】

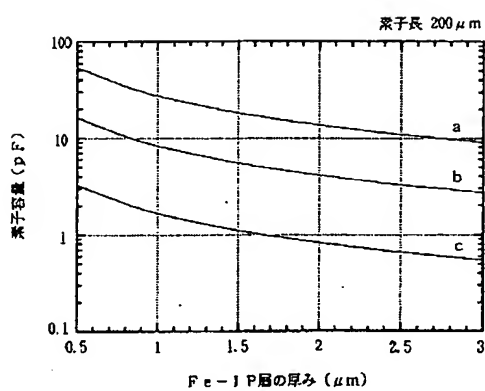


- 1: n型InP基板
 2: アンダーP(nGaAsP)吸収層
 3: p型InP埋め込み層
 4: Feドーパ高抵抗InP層
 5: n型InP埋め込み層
 6: p型InPクラッド層
 7: p型InGaAsPコンタクト層
 8: 絶縁膜、特にポリイミド膜
 9: p型電極
 10: n型電極

【図6】



【図4】



【図7】

